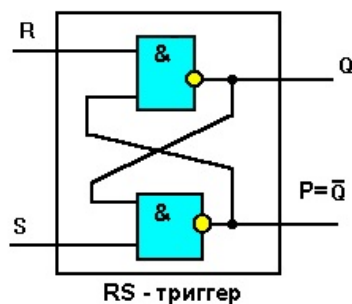


Элемент памяти триггер. Сумматор.

Триггер — это логическое устройство, способное хранить 1 бит информации. К триггерам относятся устройства, имеющие два устойчивых состояния. Простейший триггер — RS-триггер, образован из двух элементов И-НЕ (или ИЛИ-НЕ). Он позволяет запоминать 1 бит информации, поскольку информация в компьютере представляется в двоичном виде.

Схема RS-триггера



Действие RS-триггера поясняется в приведенной ниже таблице истинности. S-вход установки (Set), R-вход сброса (Reset).

| Вход R | Вход S | Выход Q | Выход \bar{Q} |
|--------|--------|------------|-----------------|
| 0 | 0 | Не опред. | Не опред. |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | Без измен. | Без измен. |

В обычном (исходном) состоянии на входы триггера поданы 1. Для записи информации на вход R подан 0. Для сброса информации и подготовки к приёму новой информации на вход S подается 0 и триггер вернётся в исходное состояние.

Поскольку один триггер запоминает 1 бит информации, то для запоминания 1 байта (8 бит) нужно 8 триггеров, для запоминания 1 Кб (1024 байт) надо 8192 триггеров. Современные микросхемы ОЗУ способны запоминать десятки мегабайт информации

Сумматор

В целях максимального упрощения работы компьютера все многообразие математических операций сводится к сложению двоичных чисел. Поэтому главной частью процессора является сумматор.

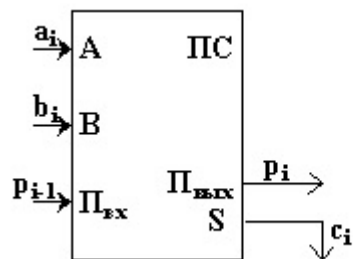
Сумматор — это электронная логическая схема, выполняющая суммирование двоичных чисел.

Сумматор служит, прежде всего, центральным узлом арифметико-логического устройства компьютера, однако он находит применение также и в других устройствах машины.

Много разрядный двоичный сумматор, предназначенный для сложения много разрядных

двоичных чисел, представляет собой комбинацию одноразрядных сумматоров, с рассмотрения которых мы и начнём.

Условное обозначение одноразрядного сумматора



При сложении чисел A и B в одном i -ом разряде приходится иметь дело с тремя цифрами:

- цифра a_i первого слагаемого;
- цифра b_i второго слагаемого;
- перенос p_{i-1} из младшего разряда.

В результате сложения получаются две цифры:

- цифра c_i для суммы;
- перенос p_i из данного разряда в старший.

Таким образом, одноразрядный двоичный сумматор есть устройство с тремя входами и двумя выходами.

Если требуется складывать двоичные слова длиной два и более бит, то можно использовать последовательное соединение таких сумматоров, причём для двух соседних сумматоров выход переноса одного сумматора является входом для другого.